

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-176989

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H01L 23/12  
H01L 23/14  
H01P 3/02  
H01P 3/08

(21)Application number : 09-351965

(71)Applicant : RICOH CO LTD

(22)Date of filing : 08.12.1997

(72)Inventor : ADACHI KAZUHIKO

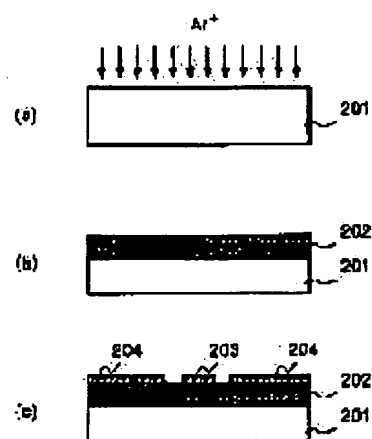
## (54) DIELECTRIC SUBSTRATE AND HIGH FREQUENCY CIRCUIT USING THE SAME

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a dielectric structure whose connection with a semiconductor chip is easy and which does not deteriorate an effective dielectric constant, by forming an amorphous layer on the surface of a high resistance semiconductor substrate in the dielectric substrate of a hybrid-type integrated circuit.

**SOLUTION:** When Ar ions are injected on the surface of a silicon wafer 201 of not less than 1000 cm $\omega$ , with the conditions of 150 keV, a dose of 2.E+15 (cm) and room temperature, an amorphous silicon layer 202 with the thickness of about 0.4  $\mu$ m is formed on the surface of the semiconductor.

Thus, a dielectric substrate where a coplanar line consisting of a center conductor 203 and a ground conductor 204 is formed as a transmission line is obtained with the process. When a dielectric constant (11.7) of the amorphous silicon layer 202 is predicted, it is about 20, and it is considered to be about 1.7 times as much as the dielectric constant (11.7) of crystal silicon. Since the effective dielectric constant of the dielectric substrate where SiN ( $\epsilon$  = about 4) is stacked on silicon can be made higher than the silicon dielectric constant, a circuit scale can be miniaturized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平11-176989

(43) 公開日 平成11年(1999) 7月2日

(51) Int. Cl. <sup>6</sup>	識別記号	F I
H01L 23/12	301	H01L 23/12 301 Z
23/14		H01P 3/02
H01P 3/02		3/08
3/08		H01L 23/14 S

審査請求 未請求 請求項の数10 F D (全6頁)

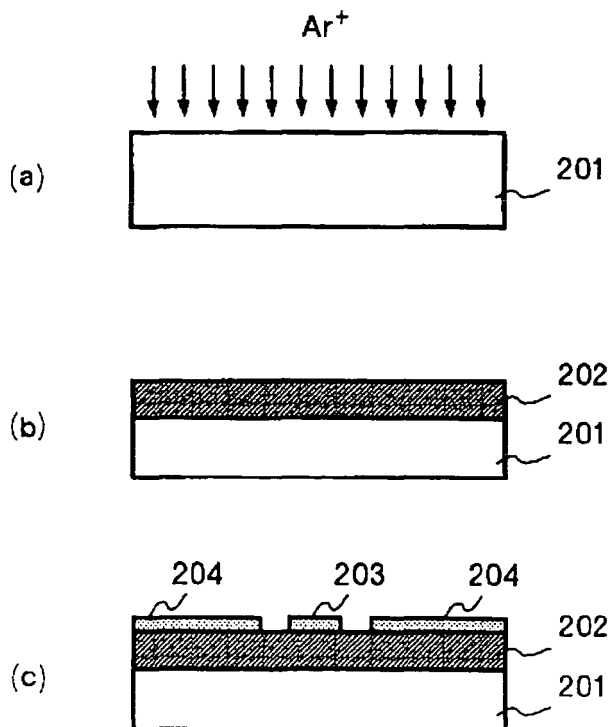
(21) 出願番号	特願平9-351965	(71) 出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22) 出願日	平成9年(1997)12月8日	(72) 発明者	安達 一彦 東京都大田区中馬込1丁目3番6号 株式 会社リコー内

(54) 【発明の名称】 誘電体基板および誘電体基板を用いた高周波回路

## (57) 【要約】

【課題】 経済的に有利なシリコンを伝送線路用誘電体として使用する際に、半導体チップとの接続が容易で、実効誘電率を低下させない誘電体構造とし、より高付加価値のハイブリッド集積回路を実現する。

【解決手段】 化合物半導体上に高周波回路を形成し、他の伝送線路を高抵抗半導体（シリコン201）に形成するハイブリット型集積回路の誘電基板において、高抵抗半導体基板（シリコン201）の表面に非晶質シリコン層202を形成した。



## 【特許請求の範囲】

【請求項 1】 化合物半導体上に高周波回路を形成し、他の伝送線路を高抵抗半導体に形成するハイブリッド型集積回路の誘電体基板において、前記高抵抗半導体基板の表面に非晶質化層を形成したことを特徴とする誘電体基板。

【請求項 2】 高抵抗半導体基板の表面に非晶質化層を形成し、該非晶質化層の表面に伝送線路を形成した誘電体基板と、少なくとも 1 つ以上の能動素子および受動素子からなる集積回路と、を電氣的に接続・形成した半導体チップから構成されることを特徴とする誘電体基板を用いた高周波回路。

【請求項 3】 高抵抗半導体基板表面の一部に少なくとも 1 つ以上の能動素子および受動素子からなる集積回路を形成し、前記集積回路以外の表面に非晶質化層を形成し、該非晶質化層の表面に伝送線路を形成した誘電体基板と、少なくとも 1 つ以上の能動素子および受動素子からなる集積回路と、を電氣的に接続・形成した半導体チップから構成されることを特徴とする誘電体基板を用いた高周波回路。

【請求項 4】 前記高抵抗半導体基板は、シリコンで構成することを特徴とする請求項 1 に記載の誘電体基板。

【請求項 5】 前記高抵抗半導体基板は、シリコンで構成することを特徴とする請求項 2 または 3 に記載の誘電体基板を用いた高周波回路。

【請求項 6】 前記誘電体基板と前記半導体チップ間をバンプ実装で電氣的接続し、かつ前記誘電体基板と前記半導体チップの伝送線路がコプレーナ線路であることを特徴とする請求項 2 または 3 に記載の誘電体基板を用いた高周波回路。

【請求項 7】 前記非晶質化層は、イオン注入法を用いて形成することを特徴とする請求項 1 に記載の誘電体基板。

【請求項 8】 前記非晶質化層は、イオン注入法を用いて形成することを特徴とする請求項 2 または 3 に記載の誘電体基板を用いた高周波回路。

【請求項 9】 前記非晶質化層の表面の誘電率が、前記高抵抗半導体基板に対して大きくすることを特徴とする請求項 1 に記載の誘電体基板。

【請求項 10】 前記非晶質化層の表面の誘電率が、前記高抵抗半導体基板に対して大きくすることを特徴とする請求項 2 または 3 に記載の誘電体基板を用いた高周波回路。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】 本発明は、マイクロ波およびミリ波集積回路用の誘電体基板および誘電体基板を用いた高周波回路に関し、より詳細には、高周波用ハイブリッド集積回路において、誘電率が高く、集積回路を作り込むことが可能なシリコンを誘電体基板を使用すること

により、回路の小型化および低コスト化を実現する誘電体基板を用いた高周波回路に関する。

## 【0002】

【従来の技術】 近年、半導体プロセス技術はめざましく進歩している。特に微細加工技術の進歩により、高速に動作するトランジスタが開発されるようになってきている。たとえば、GaAs（ガリウムヒ素）などの化合物半導体においては電子の移動度がシリコンより速く、かつ、ヘテロ接合が可能でシリコンにはない電子物性が得られることなどの理由から盛んに開発されている。特に、ヘテロ接合を用いた化合物半導体の 1 種である高移動度トランジスタ（HEMT: high electron mobility transistor）は、高速動作が可能で、遮断周波数は 100GHz 以上で動作することが知られている。

【0003】 これらの高速で動作するトランジスタを用い、大容量の情報を高速で伝送するためにマイクロ波さらにはミリ波帯での無線通信の研究が盛んに行われている。最近では、トランジスタと受動素子および伝送線路を化合物半導体上に作り込んだ MMIC（monolithic microwave integrated circuit: マイクロ波モノリシック集積回路）が開発されるようになってきている。しかし、MMIC は、波長オーダーの伝送線路を用いた分布定数回路で構成されるため、大きな面積が必要になり、コストが高くなるという経済性の面で不具合があった。

【0004】 そこで、上記不具合を解消するために、受動素子を安価なシリコン基板上に形成し、他方、高周波回路は GaAs 基板上に作り込んだチップを接続した、いわゆるハイブリッド型の半導体装置が、たとえば、特開平 6-29428 号公報の『半導体装置』に開示されている。

【0005】 この第 1 の従来技術としての特開平 6-29428 号公報の『半導体装置』では、シリコン基板上にマイクロストリップ線路が形成されたポリイミドの絶縁テープを装着し、高周波回路用チップを電氣的に接続した装置構成とすることで、安価なシリコン基板を使用し、製造コストの低減を図っている。

【0006】 また、上記の他に第 2 の従来技術としての特開平 7-74285 号公報の『半導体装置』が開示されている。この『半導体装置』は、高周波トランジスタを含むコプレーナ線路からなる高周波回路を化合物半導体に形成し、他方、伝送線路は低コストのシリコン基板上に誘電体層を挟んだマイクロストリップ線路を形成し、両者をバンプ実装することで低コスト化を図っている。

【0007】 さらに、第 3 の従来技術としての半導体装置が、“A High-Performance W-Band Uniplanar Subharmonic Mixer”, IEEE TRANSACTIONS ON MICROWAVE AND TECHNIQ

UES. VOL. 45. NO. 6. JUNE 1997  
に開示されている。この半導体装置の構成を図5に示す。

【0008】すなわち、図5において、高抵抗シリコン基板1上にプラズマCVD法で堆積させたSiN膜12上にコブレナ線路からなるバンドパスフィルター、オープンおよびショートタブなど大面積が必要な受動素子が形成され、その上にGaAsで作られたダイオードをフリップチップを実装してなるサブ・ハーモニック・ミキサが提案されている。なお、この半導体装置では、シリコンウェハー1とSiN膜12の界面にキャリア蓄積層が形成され損失が増加するのを防ぐため、コブレナ線路の中心導体3と接地導体4の間のSiN膜は除去されている。

#### 【0009】

【発明が解決しようとする課題】しかしながら、上記に示されるような第1および第2の従来技術にあつては、シリコン基板上の伝送線路がマイクロストリップ線路であるため、半導体チップと接続するにはシリコン基板上の誘電体に貫通穴をあける必要があり、複雑なプロセスが必要となる問題点や、マイクロストリップ線路を構成するための誘電体にポリイミド( $\epsilon=3.5$ )、SiO<sub>2</sub>( $\epsilon=4$ )など誘電率の低い材料が使用されるため、GaAsよりも実効誘電率が低く、伝送線路を構成するには不適切であるという問題点もあった。

【0010】また、第3の従来技術にあつては、高抵抗シリコン基板上にコブレナ線路を設けた構造でかつシリコン( $\epsilon=11.7$ )とコブレナ線路がショートキー接触しないように薄いSiN( $\epsilon=4$ )を配置し、さらにシリコンとSiN界面にキャリア蓄積層が形成されるのを回避するために接地導体と中心導体間のSiNを除去している。しかし、伝送線路はシリコンの上に誘電率の低い誘電体を介しているため、その実効誘電率はシリコン単体のそれより小さくなってしまふという問題点があった。さらに、伝送線路の安定性を考慮してSiNなどのパッシベーション膜を付けた場合、キャリア蓄積層が形成されることが懸念される。

【0011】本発明は、上記に鑑みてなされたものであつて、経済的に有利なシリコンを伝送線路用誘電体として使用する際に、半導体チップとの接続が容易で、実効誘電率を低下させない誘電体構造とし、より高付加価値のハイブリッド集積回路を実現することを目的とする。

#### 【0012】

【課題を解決するための手段】上記の目的を達成するために、請求項1に係る誘電基板にあつては、化合物半導体上に高周波回路を形成し、他の伝送線路を高抵抗半導体に形成するハイブリッド型集積回路の誘電基板において、前記高抵抗半導体基板の表面に非晶質化層を形成したものである。

【0013】すなわち、高抵抗半導体基板の表面を非晶

質化してなる誘電体基板とすることにより、非晶質化表面に形成する伝送線路、好ましくはコブレナ線路の金属と半導体基板がショートキー接触することがなく、かつ半導体を非晶質化するため、SiN膜で同様な効果を実現した場合に問題となるキャリア蓄積効果の不具合を回避することができる。

【0014】また、請求項2に係る誘電基板を用いた高周波回路にあつては、高抵抗半導体基板の表面に非晶質化層を形成し、該非晶質化層の表面に伝送線路を形成した誘電体基板と、少なくとも1つ以上の能動素子および受動素子からなる集積回路と、を電気的に接続・形成した半導体チップから構成されるものである。

【0015】すなわち、高抵抗半導体基板の表面に非晶質化層に形成し、該非晶質化層の表面に伝送線路を形成した誘電体基板と、少なくとも1つ以上の能動素子および受動素子からなる集積回路と、を電気的に接続・形成した半導体チップから構成した高周波回路とすることにより、多くの面積を必要とする伝送線路や受動部品を低コストのシリコンを用いた誘電体基板に形成し、高速なデバイスではGaAsなどの化合物半導体チップ内に機能を分離して形成し、誘電体表面で電気的に接続することにより、経済性に優れた高周波回路が実現する。

【0016】また、請求項3に係る誘電基板を用いた高周波回路にあつては、高抵抗半導体基板表面の一部に少なくとも1つ以上の能動素子および受動素子からなる集積回路を形成し、前記集積回路以外の表面に非晶質層を形成し、該非晶質化層の表面に伝送線路を形成した誘電体基板と、少なくとも1つ以上の能動素子および受動素子からなる集積回路と、を電気的に接続・形成した半導体チップから構成されるものである。

【0017】すなわち、高抵抗半導体基板表面の一部に少なくとも1つ以上の能動素子および受動素子からなる集積回路を形成し、集積回路以外の表面を非晶質化し、該非晶質化した表面に伝送線路を形成した誘電体基板と、少なくとも1つ以上の能動素子および受動素子からなる集積回路と、を電気的に接続・形成した半導体チップから構成した高周波回路とすることにより、シリコンからなる誘電体基板内の結晶領域に他の集積回路を形成することで、より高機能な高周波回路が実現する。

【0018】また、請求項4に係る誘電基板にあつては、前記高抵抗半導体基板は、シリコンで構成するものである。

【0019】すなわち、高抵抗半導体基板にシリコンを用いることにより、誘電率が大きく、かつ大面積で表面性に優れ、しかも従来の半導体プロセスが可能で、かつ低コストの誘電体基板を提供することにより、経済性が向上する。

【0020】また、請求項5に係る誘電基板を用いた高周波回路にあつては、前記高抵抗半導体基板は、シリコンで構成するものである。

【0021】すなわち、高抵抗半導体基板にシリコンを用いることにより、誘電率が大きく、かつ大面積で表面性に優れ、しかも従来の半導体プロセスが可能で、かつ低コストの誘電体基板を使用することにより、経済性が向上する。

【0022】また、請求項6に係る誘電基板を用いた高周波回路にあっては、前記誘電体基板と半導体チップ間をパンプ実装で電氣的接続し、かつ前記誘電体基板と前記半導体チップの伝送線路がコブレナ線路とするものである。

【0023】すなわち、誘電体基板と前記半導体チップ間をパンプ実装で電氣的接続し、かつ前記誘電体基板と半導体チップの伝送線路がコブレナ線路とすることにより、接続部分の距離を短縮することが可能で、かつ挿入損失が低減され、高信頼性の高周波回路が実現する。

【0024】また、請求項7に係る誘電基板にあっては、前記非晶質化層は、イオン注入法を用いて形成するものである。

【0025】すなわち、イオン注入法を用いて高抵抗半導体基板の表面を非晶質層とすることにより、非晶質化が制御よく行え、さらにマスクにより部分的に非晶質化することも可能となる。

【0026】また、請求項8に係る誘電基板を用いた高周波回路にあっては、前記非晶質化層は、イオン注入法を用いて形成するものである。

【0027】すなわち、イオン注入法を用いて高抵抗半導体基板の表面を非晶質層とすることにより、非晶質化が制御よく行え、さらにマスクにより部分的に非晶質化することも可能となる。

【0028】また、請求項9に係る誘電基板にあっては、前記非晶質化層の表面の誘電率が、前記高抵抗半導体基板に対して大きくするものである。

【0029】すなわち、イオン注入量（ドーズ量）を制御することにより、非晶質化層の誘電率が高抵抗半導体基板の誘電率に対して大きくすることが可能となり、その結果、シリコンを非晶質化した誘電体基板に伝送線路を形成した場合、実行誘電率はシリコン単体での実行誘電率よりも増加させることが可能で、伝送線路の縮小化も可能となる。

【0030】また、請求項10に係る誘電基板を用いた高周波回路にあっては、前記非晶質化層の表面の誘電率が、前記高抵抗半導体基板に対して大きくするものである。

【0031】すなわち、イオン注入量（ドーズ量）を制御することにより、非晶質化層の誘電率が高抵抗半導体基板の誘電率に対しておおくすることが可能となり、その結果、シリコンを非晶質化した誘電体基板に伝送線路を形成した場合、実行誘電率はシリコン単体での実行誘電率よりも増加させることが可能で、伝送線路の縮小化も可能となる。

【0032】

【発明の実施の形態】以下、本発明の誘電体基板および誘電体基板を用いた高周波回路について添付図面を参照し、詳細に説明する。

【0033】〔背景〕シリコンは化合物半導体のように半絶縁基板が作れないため誘電体基板としてはあまり使用されることがなかった。そこで、シリコンを使用する場合、シリコンと伝送線路の金属との間に絶縁膜を形成することが行われている。だが、この方法では、(1)

10 絶縁膜とシリコンの界面に発生する蓄積層の効果で損失が大きい、(2)絶縁層としてシリコンより誘電率の低いSiNなどを使用するため、伝送線路の実効誘電率が低下し、回路規模が大きくなる、といった不具合がある。しかし、一方で、シリコンは誘電率が11.7とGaAsの12.9並みの高い誘電率であること、および周知の如く6インチ以上の基板を低コストで入手できること、さらに従来のシリコン集積回路が実現できるなどの利点がある。そこで、この実施の形態では、以下に述べるようにシリコンを用い、その表面に絶縁層を形成する例について説明する。

20 【0034】〔Arドーズ量と屈折率との関係〕半導体結晶をイオンを注入したときに、その表面が非晶質化（不導体化）することを利用し、シリコン上に絶縁層を形成する方法がある。この特性を図1に示す。図1は、シリコンにArイオンを150keVで注入した場合におけるドーズ量と屈折率との関係を示すグラフである。これはシリコンにArイオンを150keVで注入したときに、そのドーズ量（ $\text{cm}^{-2}$ ）と表面注入層の屈折率（ $n$ ）変化をエリプソメーター（偏光解析装置）を用いて測定した結果を示したものである。

30 【0035】図1から明らかなように、ドーズ量が $1.5 \times 10^{15}$ （ $\text{cm}^{-2}$ ）以上注入した場合の屈折率は、Arイオンを注入する前のシリコンの屈折率4.04から4.5程度まで、その注入量に応じて増加し、その後飽和する。屈折率が増加することは、同時に注入層の誘電率も増加していることを示している。つまり、注入層の厚みは0.4から0.45 $\mu\text{m}$ 程度で、加速電圧により容易に制御できることを表している。なお、この非晶質とシリコン界面には非常に多くの界面準位密度になっており、蓄積層が形成されることはない。

【0036】〔実施の形態1〕図2は、実施の形態1に係り、シリコン層に絶縁層（非晶質）を形成する工程（a, b）、および伝送線路として中心導体と接地導体からなるコブレナ線路を形成した誘電体基板の断面構成を示す説明図である。まず、(図2(a))に示す如く、 $1000\Omega\text{cm}$ 以上のシリコンウェハー201の表面にArイオンを150keVでドーズ量 $2.5 \times 10^{15}$ （ $\text{cm}^{-2}$ ）、室温環境という各条件のもとで注入する。

50 【0037】その結果、(図2(b))に示す如く、半導体表面には、厚さ0.4 $\mu\text{m}$ 程度の非晶質シリコン層

202が形成される。そして、この工程により、伝送線路として中心導体203と接地導体204からなるコブレナ線路を形成した誘電体基板が得られる(図2(c)参照)。この非晶質シリコン層202の比誘電率を予想すれば約20であり、結晶シリコンの誘電率(11.7)の1.7倍であると考えられる。したがって、従来のようにシリコン上にSiN( $\epsilon=4$ 程度)を堆積した誘電体基板の実効誘電率がシリコンの誘電率よりも小さくなってしまふことがなく、反対に実効誘電率を高くすることが可能になるので、回路規模の小型化が実現する。

【0038】【実施の形態2】図3は、実施の形態2に係る高周波回路の構成例を示す説明図である。まず、前述と同様に、シリコンウェハ201の表面にArイオンをドーズ量 $2.5 \times 10^{15} \text{ (cm}^{-2}\text{)}$ 注入し、シリコンウェハ201の表面に非晶質シリコン層202を形成する。次に、半導体ホトリシ技術と金の電界メッキを用い、コブレナ線路および受動素子を基板表面に形成する。

【0039】続いて、化合物半導体からなる高周波トランジスタを含む半導体チップ205を表面にダイボンドする。さらに、基板上的コブレナ線路の中心導体203と化合物半導体チップ205上のパッド間をワイヤー206で接続し、高周波回路を形成する。

【0040】したがって、周波数の低い領域でのコブレナ線路および大面積を必要とする受動素子を低コストのシリコン基板上に形成し、化合物半導体でしか実現することのできない高周波回路は高価な化合物半導体による半導体チップ205に、というように機能を分離して形成することにより、低コストの回路を実現することができる。

【0041】また、伝送線路にコブレナ線路を採用することにより、マイクロストリップ線路において必要なスルーホールを形成する必要もなく、図3の半導体チップ205と線路の接続にフリップチップボンディングすることが容易に行えるので、損失の少ない信頼性の高い高周波回路が実現する。

【0042】【実施の形態3】図4は、実施の形態に係る高周波回路の構成例を示す説明図である。シリコンウェハ201には予め所望とする電気回路が集積化されており、その後、上記電気回路の部分をマスクしてArイオンを $2.5 \times 10^{15} \text{ cm}^{-2}$ 注入し、露出したシリコン表面を非晶質化し、非晶質化シリコン層202を形成する。なお、図4では、説明を簡略化するために、シリコンウェハ201上の集積回路としてp型拡散層208の中に、n型拡散層からなるソース209とドレイン210とゲート211からなるMOSFET (metal oxide semiconductor field effect transistor: 金属酸化膜半導体で作った電界効果型トランジスタ) が示されてい

る。なお、207はSiO<sub>2</sub>である。

【0043】次に、半導体ホトリシ技術と金の電界メッキを用い、コブレナ線路および受動素子を基板表面に形成する。続いて、化合物半導体からなる高周波トランジスタを含む半導体チップ205を表面にダイボンドする。さらに、シリコン基板上および半導体チップ上のパッド間をワイヤー206で接続し、高周波回路を形成する。

【0044】したがって、周波数の低い領域でのコブレナ線路および大面積を必要とする受動素子を低コストのシリコン基板上に形成し、化合物半導体でしか実現することのできない高周波回路は高価な化合物半導体を用いた半導体チップ205に、というように機能を分離して形成するので、低コストの回路を実現することができ、しかも、シリコン基板に低周波信号処理回路を作り込むことにより、より高機能の高周波回路を実現することができる。

【0045】さらに、伝送線路にコブレナ線路を採用することにより、マイクロストリップ線路において必要なスルーホールを形成する必要もなく、図4の半導体チップ205と線路の接続にフリップチップボンディングすることが容易に行えるので、損失の少ない信頼性の高い高周波回路が実現する。

【0046】

【発明の効果】以上説明したように、本発明に係る誘電体基板(請求項1)によれば、高抵抗半導体基板の表面を非晶質化してなる誘電体基板とすることにより、非晶質化表面に形成する伝送線路、好ましくはコブレナ線路の金属と半導体基板がショートキー接触することがなく、かつ半導体を非晶質化するため、SiN膜で同様な効果を実現した場合に問題となるキャリア蓄積効果の不利を回避することができる。

【0047】また、本発明に係る誘電体基板を用いた高周波回路(請求項2)によれば、高抵抗半導体基板の表面を非晶質に形成し、該非晶質の表面に伝送線路を形成した誘電体基板と、少なくとも1つ以上の能動素子および受動素子からなる集積回路と、を電気的に接続・形成した半導体チップから構成した高周波回路とすることにより、多くの面積を必要とする伝送線路や受動部品を低コストのシリコンを用いた誘電体基板に形成し、高速なデバイスはGaAsなどの化合物半導体チップ内に機能を分離して形成し、誘電体表面で電気的に接続するため、経済性に優れた高周波回路が実現する。

【0048】また、本発明に係る誘電体基板を用いた高周波回路(請求項3)によれば、高抵抗半導体基板表面の一部に少なくとも1つ以上の能動素子および受動素子からなる集積回路を形成し、集積回路以外の表面を非晶質化し、該非晶質化した表面に伝送線路を形成した誘電体基板と、少なくとも1つ以上の能動素子および受動素子からなる集積回路と、を電気的に接続・形成した半導

体チップから構成した高周波回路とすることにより、シリコンからなる誘電体基板内の結晶領域に他の集積回路を形成するため、より高機能な高周波回路が実現する。

【0049】また、本発明に係る誘電体基板（請求項4）、誘電体基板を用いた高周波回路（請求項5）によれば、高抵抗半導体基板にシリコンを用いるので、誘電率が大きく、かつ大面積で表面性に優れ、しかも従来の半導体プロセスが可能で、かつ低コストの誘電体基板を提供することにより、経済性が向上する。

【0050】また、本発明に係る誘電体基板を用いた高周波回路（請求項6）によれば、誘電体基板と前記半導体チップ間をパンプ実装で電気的接続し、かつ前記誘電体基板と半導体チップの伝送線路がコブレナ線路としたので、接続部分の距離を短縮することが可能で、かつ挿入損失が低減され、高信頼性の高周波回路が実現する。

【0051】また、本発明に係る誘電体基板（請求項7）、誘電体基板を用いた高周波回路（請求項8）によれば、イオン注入法を用いて高抵抗半導体基板の表面を非晶質層としたので、非晶質化が制御よく行え、さらにマスクにより部分的に非晶質化することも可能となる。

【0052】また、本発明に係る誘電体基板（請求項9）、誘電体基板を用いた高周波回路（請求項10）によれば、イオン注入量（ドーズ量）を制御するため、非晶質化層の誘電率が高抵抗半導体基板の誘電率に対して大きくすることが可能となり、その結果、シリコンを非晶質化した誘電体基板に伝送線路を形成した場合、実行誘電率はシリコン単体での実行誘電率よりも増加させる

ことが可能で、伝送線路の縮小化も可能となる。

【図面の簡単な説明】

【図1】シリコンにArイオンを150keVで注入した場合におけるドーズ量と屈折率との関係を示すグラフである。

【図2】実施の形態1に係り、シリコン層に絶縁層（非晶質）を形成する工程（a, b）、および伝送線路として中心導体と接地導体からなるコブレナ線路を形成した誘電体基板の断面構成を示す説明図である。

【図3】実施の形態2に係る高周波回路の構成例を示す説明図である。

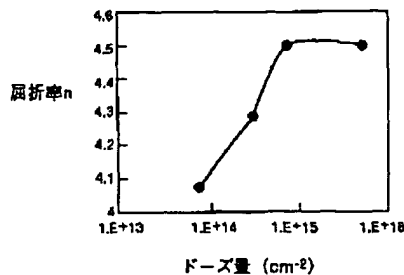
【図4】実施の形態3に係る高周波回路の構成例を示す説明図である。

【図5】従来の半導体装置の構成を示す説明図である。

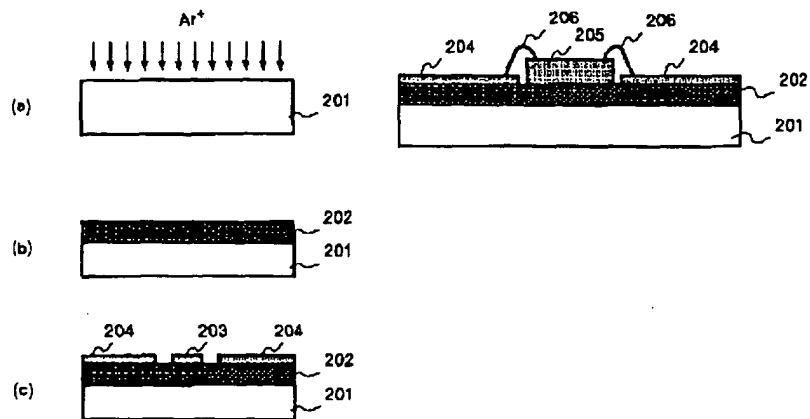
【符号の説明】

- 201 シリコンウェハー
- 202 非晶質シリコン層
- 203 中心導体
- 204 接地導体
- 205 半導体チップ
- 206 ワイヤ
- 207 SiO<sub>2</sub>
- 208 p型拡散層
- 209 ソース
- 210 ドレイン
- 211 ゲート

【図1】

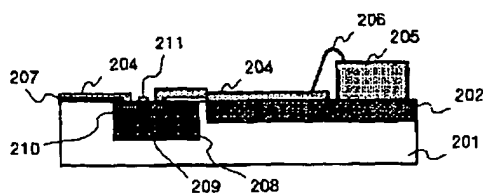


【図2】



【図3】

【図4】



【図5】

